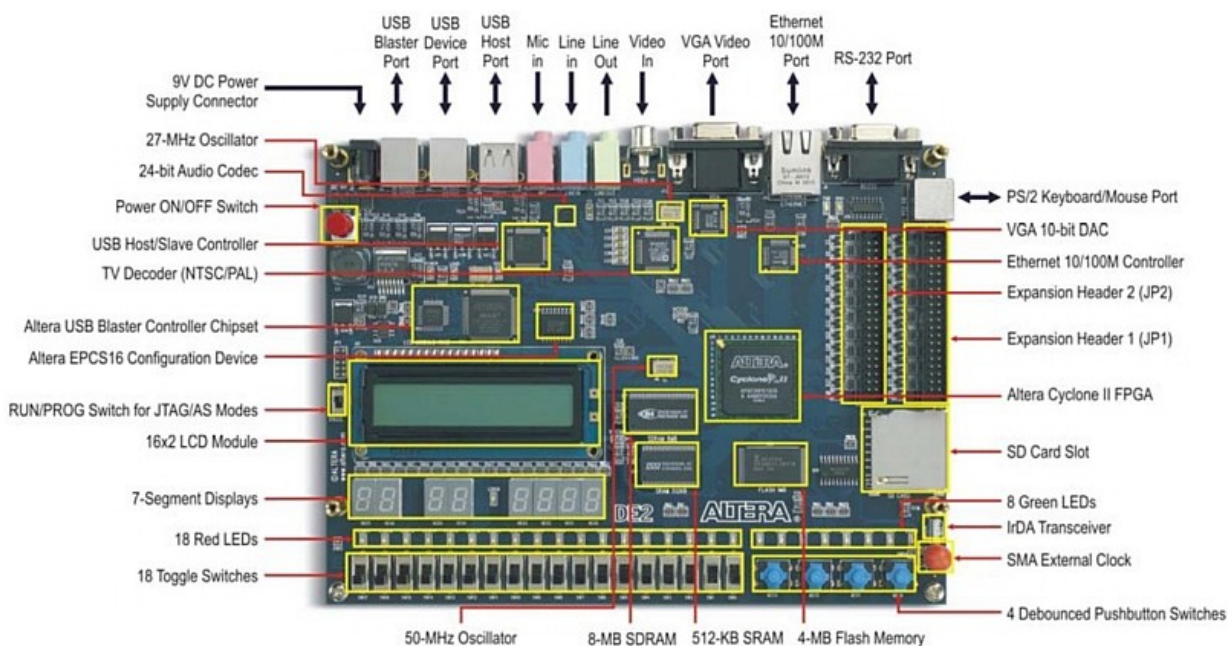


Projektowanie Systemów Wbudowanych

Podstawowe informacje o płycie DE2

Autorzy: mgr inż. Dominik Bąk i mgr inż. Leszek Ciopiński

1. Płyta DE2



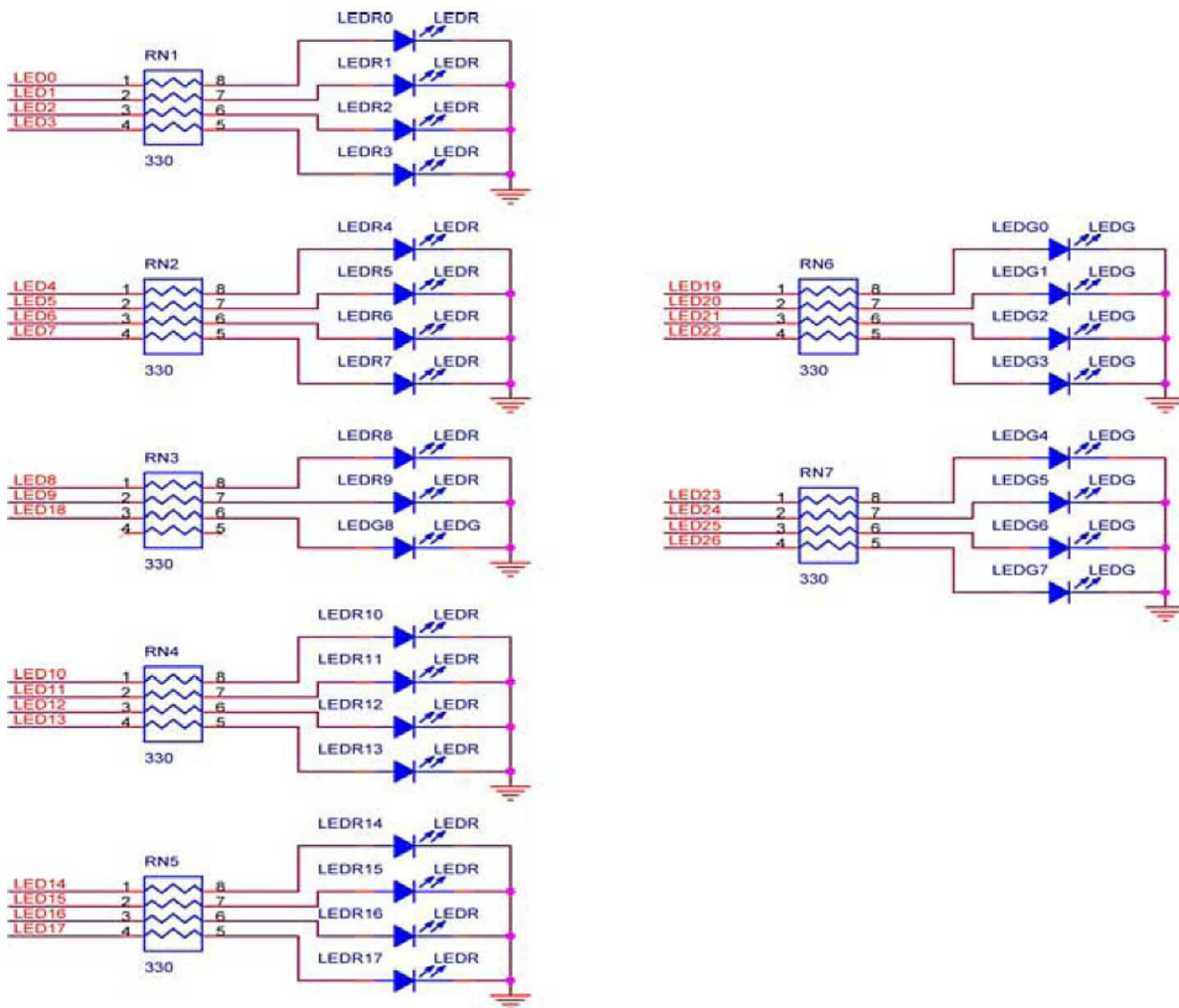
Rysunek 1. Widok płyty DE2 z zaznaczonymi jej komponentami.

Płyta Terasic DE2 przedstawiona na rysunku 1., przeznaczona jest do tworzenia różnych projektów związanych z tematyką systemów wbudowanych. Jest ona wyposażona w układ FPGA Altera Cyclone II, do którego podłączonych jest wiele różnych układów peryferyjnych.

2. Diody LED

Na płycie DE2 znajduje się 27 diod LED przeznaczonych dla użytkownika. Osiemnaście z nich jest koloru czerwonego i znajduje się powyżej przełączników. Pozostałych dziewięć diod jest koloru zielonego, przy czym osiem z nich znajduje się powyżej czterech przycisków w dolnej części płyty. Dziewiąta dioda znajduje się pomiędzy siedmiosegmentowym licznikiem LCD. Każda z diod LED połączona jest bezpośrednio z układem Cyclone II FPGA do konkretnych pinów. Ustawienie na nich poziomu wysokiego powoduje zapalenie się diody, a stanu niskiego – jej

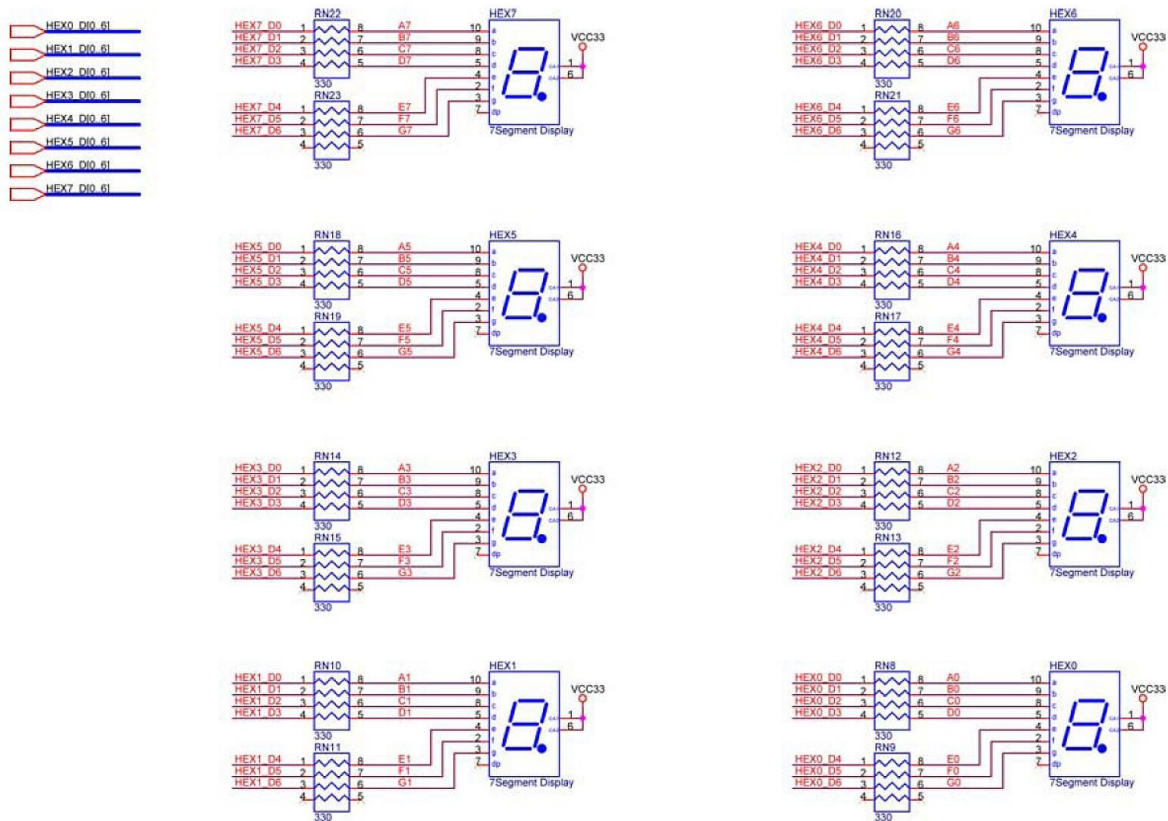
zgaszenie. Schemat połączeń diod na płycie DE2 przedstawiony jest na rysunku 2.



Rysunek 2.: Schemat połączeń diod LED na płycie DE2.

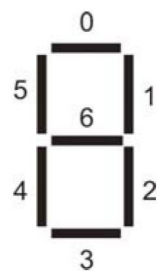
3. Licznik LCD (7-segment Displays)

Płyta DE2 wyposażona jest w osiem siedmiosegmentowych wyświetlaczy numerycznych. Zebrane są one w trzy grupy: jedna po cztery cyfry i dwie po dwie cyfry. Każdy z ośmiu wyświetlaczy połączony jest bezpośrednio z układem FPGA Altera Cyclone II, co przedstawiono na rysunku 3.



Rysunek 3.: Schemat połączeń wyświetlaczy siedmiosegmentowych.

Każdy z segmentów na wyświetlaczu zapala się, gdy na przypisany mu pin zostanie podany stan niski. Stan wysoki powoduje wyłączenie danego segmentu. Wszystkie segmenty ponumerowane są od 0 do 6, zgodnie z rysunkiem 4.

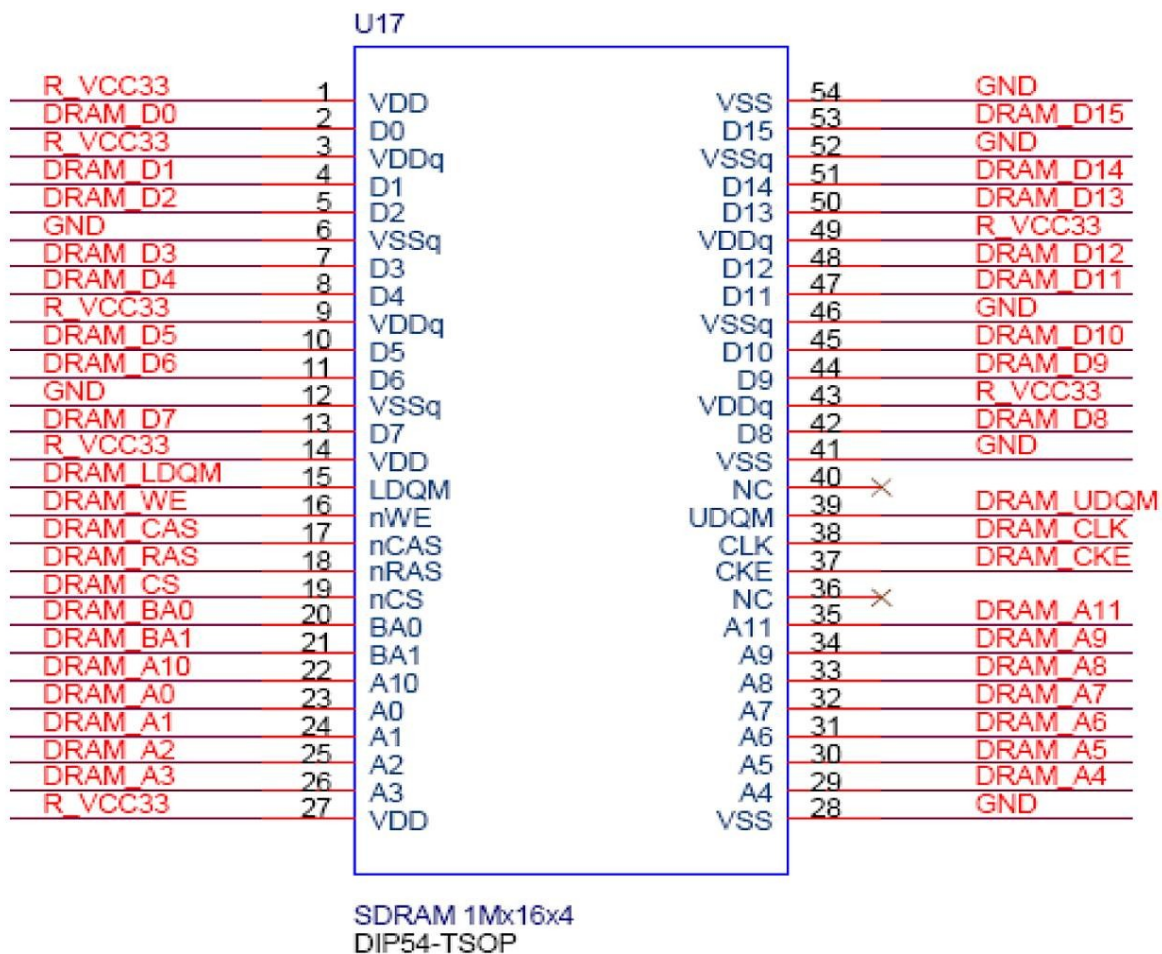


Rysunek 4.: Indeksy poszczególnych segmentów wyświetlacza.

Należy zauważyć, że piny odpowiedzialne za zapalanie i gaszenie kropki na każdym z wyświetlaczy nie są podłączone do układu Cyclone II FPGA, przez co kropka nie może być wykorzystywana przez użytkownika płyty DE2.

4. Pamięć SDRAM

Na płycie DE2 umieszczono kilka różnych układów pamięci. Jednym z nich jest 8-Mbajtowy układ pamięci typu SDRAM. Aby go używać w środowisku Nios II IDE, wystarczy w module Qsys dodać do tworzonej architektury odpowiedni sterownik, a w samym projekcie w środowisku Nios II IDE wskazać w ustawieniach projektu, że to ta pamięć ma być wykorzystywana. Schemat połączeń układu pamięci z układem FPGA Altera Cyclone II na płycie DE2 przedstawiono na rysunku 5.:



Rysunek 5.: Schemat układu SDRAM.

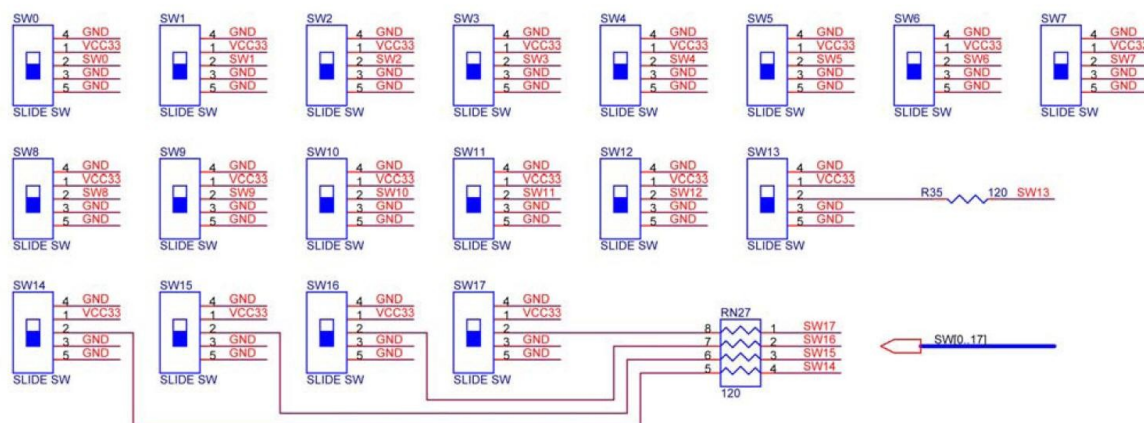
5. Przełączniki (ang. switches)

Na płycie DE2 znajduje się 18 przełączników przeznaczonych dla użytkownika. Przełączniki te nie mają stabilizowanego wyjścia, przez co w chwili przełączania może dochodzić do naprzemiennego narastania i opadania sygnału, co przez resztę układu może zostać odebrane jako kilkakrotna zmiana pozycji przełącznika (porównaj z 6 „Przyciski”). Na wyjściu przełącznika

niski sygnał logiczny (0 V) pojawia się, jeśli przełącznik jest przełączony w dół. Przełączenie go w górę powoduje pojawienie się na jego wyjściu logicznego sygnału wysokiego (3,3 V).

Przeznaczeniem przełączników jest wprowadzanie danych do układu, które mogą być wyrażone poprzez dwa poziomy napięć.

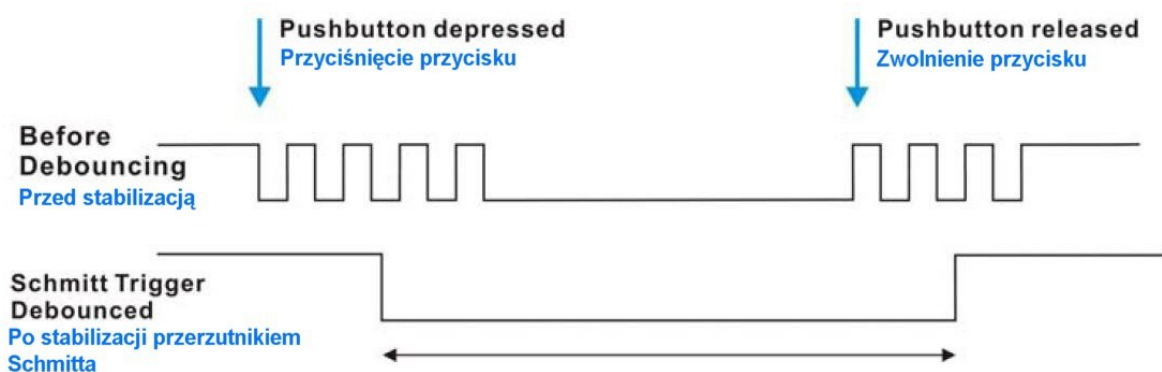
Każdy przełącznik podłączony jest bezpośrednio do układu Cyclone II FPGA, co przedstawiono na rysunku 6.



Rysunek 6.: Schemat połączenia przełączników.

6. Przyciski

Płyta DE2 wyposażona jest w cztery przyciski przeznaczone dla użytkownika. Każdy z nich posiada stabilizowane wyjście przez przerzutnik Schmitta. Zapobiega to naprzemiennemu pojawianiu się wysokiego i niskiego stanu na ich wyjściach. Zjawisko to zostało zilustrowane na rysunku 7.

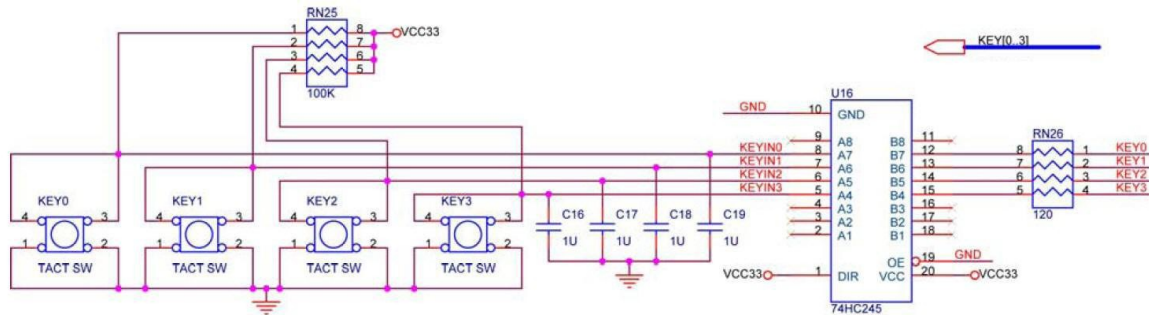


Rysunek 7.: Stabilizacja wyjścia przycisków.

Dzięki omówionej właściwości przyciski można wykorzystać jako symulatory zegarów lub

sygnałów resetujących układ.

Logiczny sygnał wysoki podawany jest na wyjście przycisku, gdy nie jest on przyciśnięty. Jego wciśnięcie powoduje ustawienie na wyjściu sygnału niskiego. Sygnały generowane przez przyciski podawane są bezpośrednio na piny układu FPGA Altera Cyclone II, co przedstawiono na rysunku 8.



Rysunek 8.: Schemat połączeń przycisków.

7. Układ FPGA

Głównym elementem płyty DE2 jest układ FPGA Altera Cyclone II 2C35 z 672-oma pinami. Pozwala on na symulowanie dowolnej struktury sprzętowej, która może być opisana przy pomocy języka VHDL lub Verilog. Dodatkowo nie będzie ona potrzebowała większej ilości bloków logicznych, niż ilość dostarczana przez ten układ FPGA. Odpowiednia jego konfiguracja musi być jednak przez niego wczytywana po każdym zaniku zasilania.

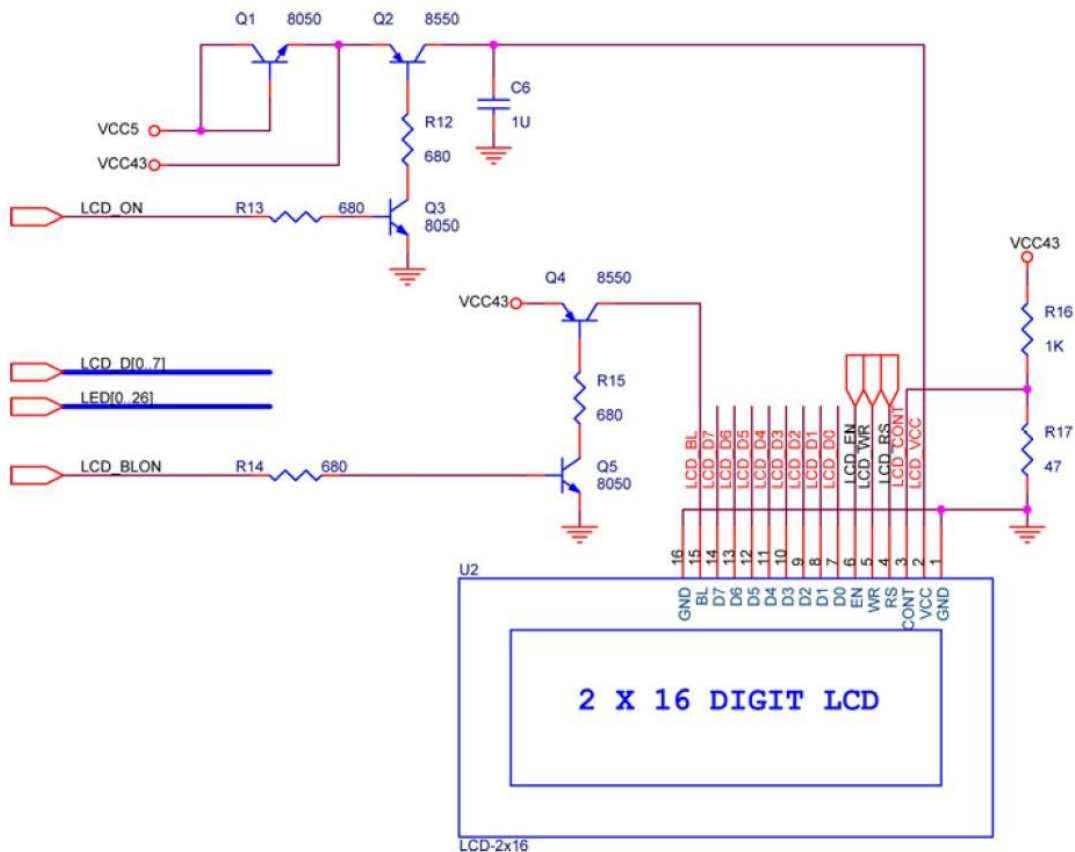
Płyta DE2 wyposażona jest w układ EEPROM przechowujący dane potrzebne do prawidłowej konfiguracji układu Cyclone II FPGA. Dane te są odczytywane automatycznie z układu EEPROM przez układ FPGA kiedy zostaje przywrócone zasilanie płyty DE2. Używając modułu Altera Quartus II Programmer możliwe jest w każdej chwili ponowne zaprogramowanie układu FPGA oraz dokonanie zmian danych konfiguracyjnych zapisanych w niewrażliwej na zanik napięcia pamięci EEPROM. Każda z metod programowania opisana została poniżej:

- programowanie *JTAG*: (ang. Joint Test Action Group) w trybie tym strumień danych konfiguracyjnych wczytywany jest bezpośrednio do układu Cyclone II FPGA. Dane te są w nim przechowywane tak długo jak długo dostarczane jest zasilanie do płyty DE2. Po zaniku zasilania dane te są tracone.
- programowanie *AS*: (ang. Active Serial) w trybie tym strumień danych konfiguracyjnych wczytywany jest do układu Altera EEPROM EPCS16. Stanowi on niewrażliwy na zaniki zasilania

magazyn dla strumienia danych, gdyż informacja w nim zapisana pozostaje niezmienną nawet po wyłączeniu płyty DE2. Kiedy płyta ponownie zostanie włączona, dane konfiguracyjne z pamięci EEPROM automatycznie zostaną wczytane przez układ FPGA.

8. Wyświetlacz znakowy LCD

Na płycie DE2 znajduje się czarno-biały, ciekłokrystaliczny wyświetlacz znakowy złożony z dwóch linii po szesnaście znaków. Schemat połączeń tego układu z układem FPGA Altera Cyclone II przedstawiono na rysunku 9.



Rysunek 9.: Schemat połączeń wyświetlacza LCD.

Sterownik sprzętowy dla tego wyświetlacza dostarczony jest razem z modułem Altera Qsys.